

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 6 月 24 日 (24.06.2004)

PCT

(10) 国際公開番号
WO 2004/054080 A1

(51) 国際特許分類: H02M 3/28
(21) 国際出願番号: PCT/JP2003/015241
(22) 国際出願日: 2003 年 11 月 28 日 (28.11.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2002-361212
2002 年 12 月 12 日 (12.12.2002) JP

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 福本 征也 (FUKU-MOTO, Yukinari) [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP). 大坂 昇平 (OSAKA, Syohel) [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP). 竹内 歳郎 (TAKEUCHI, Toshiro) [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP).

(74) 代理人: 清水 敬一 (SHIMIZU, Keiichi); 〒153-0061 東京都 目黒区 中目黒 3 丁目 1 番 5 号 Y K 中目黒ビル 3 階 Tokyo (JP).

(71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 Saitama (JP).

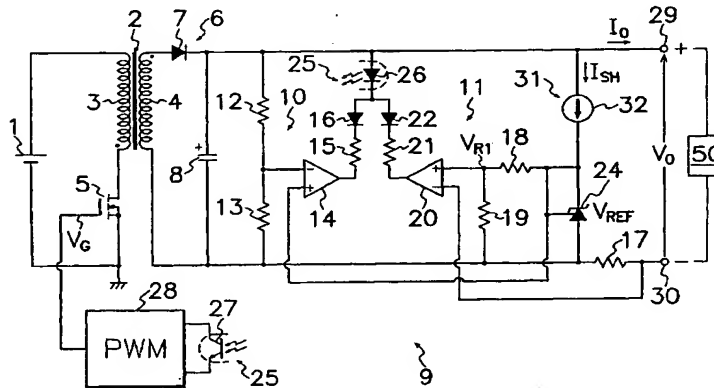
(81) 指定国 (国内): CN, JP, US.

添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: DC POWER SUPPLY APPARATUS

(54) 発明の名称: 直流電源装置



(57) Abstract: A DC power supply apparatus comprises a MOS-FET (5) for converting the input from a DC power source (1) into high-frequency power, a control circuit (9) for controlling the on/off of the MOS-FET (5), and a rectifying/smoothing circuit (6) for converting the high-frequency power into DC output. The control circuit (9) is composed of an output current control circuit (11) for controlling the on/off periods of the MOS-FET (5) so that the DC output current I_o flowing through a load (50) may be the rated value, a shunt regulator (24) for generating a reference voltage (V_{R1}) used to regulate the rated value I_{oMAX} of the output current control circuit (11), and a constant current source circuit (32) for making approximately constant the drive current I_{SH} supplied from the rectifying/smoothing circuit (6) to the shunt regulator (24). Thanks to the constant current source circuit (32), the drive current I_{SH} supplied to the shunt regulator (24) during the rated output is approximately the same as that during lowered voltage output. As a result, an irreducible minimum drive current I_{SH} needed to maintain the reference voltage V_{REF} at a constant level even during lowered voltage output can be supplied, and a drive current I_{SH} can be reduced during the rated output to an irreducible minimum level.

[続葉有]

WO 2004/054080 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

直流電源装置は、直流電源 1 からの入力を高周波電力に変換する MOS-FET 5 と、それをオン・オフ制御する制御回路 9 と、前記高周波電力を直流出力に変換する整流平滑回路 6 とを備えている。制御回路 9 は、負荷 50 に流れる直流出力電流 I_o が定格値となるよう MOS-FET 5 のオン・オフ期間を制御する出力電流制御回路 11 と、出力電流制御回路 11 の定格値 I_{oMAX} を規定する基準電圧 V_{RI} を発生するシャントレギュレータ 24 と、整流平滑回路 6 からシャントレギュレータ 24 に供給される駆動電流 I_{SH} を略一定にする定電流源回路 32 を備えている。定電流源回路 32 により、定格出力時と出力電圧低下時とでシャントレギュレータ 24 に供給される駆動電流 I_{SH} が略一定となり、出力電圧低下時に基準電圧 V_{REF} を一定レベルに維持するのに最低限必要な駆動電流 I_{SH} を供給でき且つ定格出力時に駆動電流 I_{SH} を必要最小限に抑制できる。

明 細 書

直流電源装置

技術分野

本発明は、直流電源装置、特に過負荷時等の出力電圧低下時に最低限必要な駆動電流を基準電圧源に供給しつつ、無負荷時又は軽負荷時等の負荷待機時の低消費電力化を図る直流電源装置に関するものである。

背景技術

近年、エコロジー等の環境問題から全ての電気製品の省エネルギー化が提唱され、特に電源装置の負荷待機時での低消費電力化が重要な課題となってきた。更に、最近では携帯式電話機等の携帯機器の増加により、バッテリー充電が可能であり、異常時も含めた全ての負荷状態において安全な電源装置が要求されている。

図6に示す従来の直流電源装置は、直流電源(1)に直列に接続されたトランス(2)の1次巻線(3)及びスイッチング素子としてのMOS-FET(5)と、トランス(2)の2次巻線(4)に接続され且つ直流出力端子(29, 30)間に接続される負荷(50)に直流出力を供給する整流ダイオード(7)及び平滑コンデンサ(8)から成る整流平滑回路(6)と、負荷(50)に供給される直流出力に応じてMOS-FET(5)をオン・オフ制御する制御回路(9)とを備えている。

制御回路(9)は、負荷(50)に供給される直流出力電圧 V_O が一定値 V_2 となるようにMOS-FET(5)のオン・オフ期間を制御する定電圧制御信号を出力する定電圧制御回路(10)と、負荷(50)に供給される直流出力電流 I_O が定格値 I_{OMAX} を超える場合に、直流出力電流 I_O が一定となるようにMOS-FET(5)のオン・オフ期間を制御する出力電流制御信号を出力する出力電流制御回路(11)と、バイアス抵抗(23)を介して供給される整流平滑回路(6)の出力電流 I_{SH} により駆動され且つ直流出力電圧 V_O の基準値を規定する基準電圧 V_{REF} を発生する基準電圧発生手段としてのシャントレギュレータ(24)と、定電圧制御回路(10)及び出力電流制御回路(11)の各出力信号の論理和信号により駆動され且つ光出力を発生する

フォトカプラ(25)の発光部(26)と、発光部(26)の光出力に比例して両主端子間に流れる電流が変化するフォトカプラ(25)の受光部(27)と、フォトカプラ(25)の受光部(27)に流れる電流の大きさに基づいて可変パルス幅の駆動信号 V_G をMOS-FET(5)のゲート端子に付与するPWM変調回路(28)とを備えている。シャントレギュレータ(24)は、例えばTL431等の周知の基準電圧IC(集積回路)が使用される。PWM変調回路(28)は、フォトカプラ(25)の受光部(27)に流れる電流が小さいとき、広いパルス幅の駆動信号 V_G を出力し、フォトカプラ(25)の受光部(27)に流れる電流が大きいとき、狭いパルス幅の駆動信号 V_G を出力する。

定電圧制御回路(10)は、整流平滑回路(6)の出力端子間に接続され且つ負荷(50)に供給される直流出力電圧 V_O を分圧する定電圧制御用分圧抵抗(12, 13)と、定電圧制御用分圧抵抗(12, 13)の分圧点の電圧が印加される反転入力端子及びシャントレギュレータ(24)の基準電圧 V_{REF} が印加される非反転入力端子とを有する定電圧制御用オペアンプ(14)とから構成される。定電圧制御用オペアンプ(14)は、定電圧制御用分圧抵抗(12, 13)の分圧点の電圧とシャントレギュレータ(24)の基準電圧 V_{REF} とを比較してそれらの誤差電圧を定電圧制御信号として出力する。出力電流制御回路(11)は、整流平滑回路(6)の負側出力ラインに接続され且つ負荷(50)に流れる直流出力電流 I_O をその電流 I_O に対応する電圧として検出する出力電流検出手段としての出力電流検出用抵抗(17)と、シャントレギュレータ(24)の出力端子間に接続され且つシャントレギュレータ(24)の基準電圧 V_{REF} を分圧してその分圧点から負荷(50)に流れる直流出力電流 I_O の定格値 I_{OMAX} を規定する基準電圧 V_{R1} を発生する基準電圧分圧用抵抗(18, 19)と、反転入力端子に入力される出力電流検出用抵抗(17)の検出電圧と非反転入力端子に入力される基準電圧分圧用抵抗(18, 19)の分圧点の基準電圧 V_{R1} とを比較してそれらの誤差電圧を定電流制御信号として出力する定電流制御用オペアンプ(20)とから構成される。定電圧制御回路(10)の定電圧制御用オペアンプ(14)の定電圧制御信号及び出力電流制御回路(11)の定電流制御用オペアンプ(20)の定電流制御信号は、それぞれ抵抗(15)及びダイオード(16)の直列接続回路と抵抗(21)及びダイオード(22)の直列接続回路により、これらの論理和信号となり、この論理和信号に基づいてフォトカプラ(25)の発光部(26)の光出力が制御される。

フォトカプラ(25)の発光部(26)の光出力は受光部(27)に伝達され、発光部(26)の光出力に比例して受光部(27)の両主端子間に流れる電流が制御される。フォトカプラ(25)の受光部(27)の両主端子間に流れる電流により、PWM変調回路(28)から出力される駆動信号 V_G がパルス幅変調(PWM)され、パルス幅変調された駆動信号 V_G がMOS-FET(5)のゲート端子に付与される。抵抗(15, 21)、ダイオード(16, 22)、フォトカプラ(25)及びPWM変調回路(28)は駆動信号発生手段を構成する。これにより、負荷(50)に供給される直流出力電圧 V_O 及び直流出力電流 I_O に応じて制御回路(9)によりMOS-FET(5)のオン・オフ期間が制御され、負荷(50)に常時安定した直流出力が供給される。

図6に示す直流電源装置の動作は次の通りである。直流電源(1)からの直流入力電圧を直列に接続されたトランス(2)の1次巻線(3)及びMOS-FET(5)に印加し、制御回路(9)内のPWM変調回路(28)からの駆動信号 V_G によりMOS-FET(5)をオン・オフ動作させると、トランス(2)の1次巻線(3)に高周波電流が流れる。トランス(2)の1次巻線(3)に流れる高周波電流により2次巻線(4)に高周波電圧が誘起され、この高周波電圧は整流ダイオード(7)及び平滑コンデンサ(8)から成る整流平滑回路(6)により整流及び平滑されて直流出力電圧 V_O に変換され、直流出力端子(29, 30)から負荷(50)に直流出力が供給される。

直流出力端子(29, 30)間に接続される負荷(50)に流れる直流出力電流 I_O が定格値 $I_{O\text{MAX}}$ 以内のとき、図7の実線Aに示すように、制御回路(9)内の定電圧制御回路(10)により負荷(50)に供給する直流出力電圧 V_O は一定値 V_2 に制御される。このとき、直流出力端子(29, 30)間の直流出力電圧 V_O は定電圧制御回路(10)の定電圧制御用分圧抵抗(12, 13)により分圧され、この分圧点の電圧が定電圧制御用オペアンプ(14)の反転入力端子に入力され、非反転入力端子に入力されるシャントレギュレータ(24)の基準電圧 V_{REF} と比較されてそれらの誤差電圧が定電圧制御信号としてオペアンプ(14)の出力端子から出力される。定電圧制御用オペアンプ(14)の出力端子からの定電圧制御信号は、抵抗(15)及びダイオード(16)を介してフォトカプラ(25)の発光部(26)に出力される。したがって、直流出力電圧 V_O の分圧電圧がシャントレギュレータ(24)の基準電圧 V_{REF} より低いとき、定電圧制御用オペアンプ(14)の誤差電圧が正の値となり、フォトカプラ(25)の発

光部(26)の光出力が小さくなるので、受光部(27)に流れる電流が減少する。このため、PWM変調回路(28)から出力される駆動信号 V_G のパルス幅が広くなり、MOS-FET(5)のオン期間が長くなる。逆に、直流出力電圧 V_O の分圧電圧がシャントレギュレータ(24)の基準電圧 V_{REF} より高いとき、制御回路(9)内で前記とは全く逆の動作が行なわれ、MOS-FET(5)のオン期間が短くなる。これにより、直流出力電圧 V_O が図7の実線Aに示すように一定値 V_2 に制御され、直流出力端子(29, 30)から負荷(50)に定電圧の直流出力が供給される。

また、過負荷時等で直流出力端子(29, 30)間に接続される負荷(50)に流れる直流出力電流 I_O が定格値 I_{OMAX} を超えるときは、制御回路(9)内の出力電流制御回路(11)により負荷(50)に供給する直流出力電流 I_O が図7の実線Bに示すように定格値 I_{OMAX} 一定に制御される。このとき、負荷(50)に流れる直流出力電流 I_O は出力電流検出用抵抗(17)を介して流れ、直流出力電流 I_O に対応する電圧として検出される。一方、シャントレギュレータ(24)の基準電圧 V_{REF} は基準電圧分圧用抵抗(18, 19)により分圧され、その分圧点から負荷(50)に流れる直流出力電流 I_O の定格値 I_{OMAX} を規定する基準電圧 V_{R1} を発生する。出力電流検出用抵抗(17)の検出電圧は定電流制御用オペアンプ(20)の反転入力端子(-)に入力され、非反転入力端子(+)に入力される基準電圧分圧用抵抗(18, 19)の分圧点の基準電圧 V_{R1} と比較されてそれらの誤差電圧が定電流制御信号として同コンパレータ(20)の出力端子から出力される。定電流制御用オペアンプ(20)の出力端子からの定電流制御信号は、抵抗(21)及びダイオード(22)を介して前述の定電圧制御信号との論理和信号となり、フォトカプラ(25)の発光部(26)に出力される。したがって、直流出力端子(29, 30)から負荷(50)に流れる直流出力電流 I_O が定格値 I_{OMAX} を超え、出力電流検出用抵抗(17)の検出電圧が基準電圧分圧用抵抗(18, 19)の分圧点の基準電圧 V_{R1} より高くなると、定電流制御用オペアンプ(20)の誤差電圧が負の値となり、MOS-FET(5)のオン期間が短くなるので、直流出力電圧 V_O が急激に低下して負荷(50)に流れる直流出力電流 I_O が図7の実線Bに示すように定格値 I_{OMAX} 一定となり、定電流出力特性が得られる。このような直流電源装置は、例えば下特許第3099763号公報に開示されている。

ところで、図6に示す従来の直流電源装置では、直流出力電圧 V_O が一定値 V

V_2 のときにシャントレギュレータ(24)に供給する駆動電流 I_{SH} が最低限必要な電流値となるようにバイアス抵抗(23)の抵抗値を設定すると、直流出力電圧 V_O の値が V_1 まで低下したとき、基準電圧 V_{REF} を一定レベルに維持するのに最低限必要な駆動電流 I_{SH} をシャントレギュレータ(24)に供給できない。このため、図7の実線Bに示すように直流出力電圧 V_O が低下したときに、シャントレギュレータ(24)から出力される基準電圧 V_{REF} が変動して、直流出力電流 I_O が変動する不具合が発生した。これとは逆に、直流出力電圧 V_O が V_1 まで低下したときにシャントレギュレータ(24)に供給する駆動電流 I_{SH} が最低限必要な電流値となるようにバイアス抵抗(23)の抵抗値を低く設定すると、直流出力電圧 V_O が一定値 V_2 のときにバイアス抵抗(23)に大きな電流が流れ、バイアス抵抗(23)での電力損失が大きくなる問題がある。電圧値 V_1 と電圧値 V_2 との差の2乗をバイアス抵抗(23)の抵抗値で除して表されるバイアス抵抗(23)での電力損失は、電圧値 V_1 と電圧値 V_2 との差が大きいほど著しく増加する。特に、無負荷時又は軽負荷時等の負荷待機時に全体の電力損失に対するバイアス抵抗(23)での電力損失の比率も大きくなるので、バイアス抵抗(23)での電力損失は負荷待機時の変換効率の改善に対する大きな障害となる。したがって、負荷待機時の制御回路(9)での消費電力の割合が急激に増加する問題点があった。

そこで、本発明では、出力電圧低下時に最低限必要な駆動電流を基準電圧源に供給すると共に、定格出力時にも基準電圧源に供給する駆動電流を必要最小限に抑制して、無負荷時又は軽負荷時等の負荷待機時の制御回路での消費電力を低減できる直流電源装置を提供することを目的とする。

発明の開示

本発明による直流電源装置は、オン・オフ動作により直流電源(1)からの直流入力を断続して高周波電力に変換する少なくとも1つのスイッチング素子(5)と、スイッチング素子(5)をオン・オフ制御する制御回路(9)と、スイッチング素子(5)から得られる高周波電力を直流出力に変換して負荷(50)に供給する整流平滑回路(6)とを備えている。制御回路(9)は、負荷(50)に流れる直流出力電流(I_O)が定格値となるようにスイッチング素子(5)のオン・オフ期間を制御する出力電

流制御信号を生成する出力電流制御回路(11)と、出力電流制御回路(11)の定格値(I_{OMAX})を規定する基準電圧(V_{R1})を発生する基準電圧発生手段(24)と、整流平滑回路(6)から基準電圧発生手段(24)に供給される駆動電流(I_{SH})を略一定にする駆動電流制御手段(31)を備えている。駆動電流制御手段(31)により、定格出力時と出力電圧低下時とで基準電圧発生手段(24)に供給される駆動電流(I_{SH})が略一定となり、出力電圧低下時に基準電圧(V_{REF})を一定レベルに維持するのに最低限必要な駆動電流(I_{SH})を基準電圧発生手段(24)に供給でき且つ定格出力時に基準電圧発生手段(24)に供給する駆動電流(I_{SH})を必要最小限に抑制できる。従って、無負荷時又は軽負荷時等の負荷待機時の制御回路での消費電力を低減することができる。

図面の簡単な説明

図1は、本発明による直流電源装置の第1の実施の形態を示す電気回路図

図2は、本発明の第2の実施の形態を示す電気回路図

図3は、本発明の第3の実施の形態を示す電気回路図

図4は、本発明の第4の実施の形態を示す電気回路図

図5は、本発明の第5の実施の形態を示す電気回路図

図6は、従来の直流電源装置を示す電気回路図

図7は、直流電源装置の出力垂下特性を示すグラフ

発明の実施するための最良の形態

以下、本発明による直流電源装置の各実施の形態を図1～図5について説明する。但し、これらの図面では図6に示す箇所と実質的に同一の部分には同一の符号を付し、その説明を省略する。

図1～図5に示す本発明による各実施の形態では、整流平滑回路(6)からシャントレギュレータ(24)に略一定の駆動電流 I_{SH} を供給する駆動電流制御手段(31)を直流電源装置に設ける点で図6に示す従来の直流電源装置と異なる。図1に示す実施の形態では、図6に示すバイアス抵抗(23)の代わりに、整流平滑回路(6)の正側の直流出力端子(29)とシャントレギュレータ(24)のカソード端子との

間に定電流源回路(32)を駆動電流制御手段(31)として接続する。整流平滑回路(6)からの出力電流 I_{SH} により駆動される駆動電流制御手段(31)は、整流平滑回路(6)の直流出力電圧 V_O のレベルに関わらず常時一定の定電流出力を発生する。定電流源回路(32)は、周知のカレントミラー回路、バイポーラトランジスタによる定電流回路、MOSFETによる定電流回路等から選択して使用される。定電流源回路(32)の定電流出力を最低限必要な電流値に調整して、シャントレギュレータ(24)から出力される基準電圧 V_{REF} を一定レベルに維持すれば、整流平滑回路(6)の直流出力電圧 V_O のレベルに関係なく、常時一定の定電流出力をシャントレギュレータ(24)に供給できる。このため、図7の実線Aで示す定格出力時と実線Bで示す出力電圧低下時とでシャントレギュレータ(24)に供給される駆動電流 I_{SH} は略一定となる。換言すれば、出力電圧低下時にシャントレギュレータ(24)の基準電圧 V_{REF} を一定レベルに維持するのに最低限必要な駆動電流 I_{SH} をシャントレギュレータ(24)に供給できると共に、定格出力時にもシャントレギュレータ(24)へ供給する駆動電流 I_{SH} を必要最小限に抑制できる。従って、駆動電流 I_{SH} によるシャントレギュレータ(24)での電力損失を最小に又は一定に保持して、無負荷時又は軽負荷時等の負荷待機時の制御回路(9)での消費電力を低減することができる。

図2に示す第2の実施の形態では、図6に示すバイアス抵抗(23)とシャントレギュレータ(24)のカソード端子との間に駆動電流制御手段(31)を接続する。駆動電流制御手段(31)は、整流平滑回路(6)の直流出力電圧 V_O を検出する出力電圧検出手段としての出力電圧分圧抵抗(33, 34)と、電圧比較手段としての駆動電流制御用コンパレータ(35)と、電流可変手段(36)とを有する。反転入力端子に入力される出力電圧分圧抵抗(33, 34)の分圧電圧が非反転入力端子に入力される閾値電圧としてのシャントレギュレータ(24)の基準電圧 V_{REF} よりも高いとき及び低いときに、駆動電流制御用コンパレータ(35)は、第1の出力信号及び第2の出力信号としてそれぞれ低電圧(L)レベル及び高電圧(H)レベルの出力信号を発生する。電流可変手段(36)は、駆動電流制御用コンパレータ(35)の出力端子とシャントレギュレータ(24)のカソード端子との間に直列に接続された整流素子としてのダイオード(37)及び抵抗(38)から成り、駆動電流制御用コンパレータ(35)が高い

電圧(H)レベルの出力信号を発生したとき、ダイオード(37)及び抵抗(38)を介してシャントレギュレータ(24)に別の駆動電流 I_1 を供給する。電流可変手段(36)は、駆動電流制御用コンパレータ(35)が低電圧(L)レベルの出力信号を発生したとき、整流平滑回路(6)からの駆動電流 I_{SH} を直接的にシャントレギュレータ(24)に供給し、駆動電流制御用コンパレータ(35)が高電圧(H)レベルの出力信号を発生したとき、整流平滑回路(6)からの駆動電流 I_{SH} に別の駆動電流 I_1 を加えてシャントレギュレータ(24)に供給する。

整流平滑回路(6)の直流出力電圧 V_o が一定値 V_2 に制御される図7の実線Aに示す定格出力時は、出力電圧分圧抵抗(33, 34)の分圧点の電圧がシャントレギュレータ(24)の基準電圧 V_{REF} より高いので、駆動電流制御用コンパレータ(35)から低電圧(L)レベルの信号が出力される。これにより、電流可変手段(36)を構成するダイオード(37)が非導通状態となり、整流平滑回路(6)からの駆動電流 I_{SH} がバイアス抵抗(23)を介して直接的にシャントレギュレータ(24)に供給される。図7の実線Bに示すように整流平滑回路(6)の直流出力電圧 V_o が急激に V_1 まで低下し、出力電圧分圧抵抗(33, 34)の分圧点の電圧がシャントレギュレータ(24)の基準電圧 V_{REF} より低くなると、駆動電流制御用コンパレータ(35)から高い電圧(H)レベルの信号が出力され、ダイオード(37)が導通状態となり、駆動電流制御用コンパレータ(35)からダイオード(37)及び抵抗(38)を介して流れる別の駆動電流 I_1 が整流平滑回路(6)からバイアス抵抗(23)を介して流れる駆動電流 I_{SH} に加えられてシャントレギュレータ(24)に供給される。従って、ダイオード(37)の導通時に整流平滑回路(6)からバイアス抵抗(23)を介して流れる駆動電流 I_{SH} と駆動電流制御用コンパレータ(35)から電流可変手段(36)を介して流れる別の駆動電流 I_1 との和電流値をダイオード(37)が非導通状態のときに整流平滑回路(6)からバイアス抵抗(23)を介して流れる駆動電流 I_{SH} の値に一致させれば、図7の実線Aに示す定格出力時と図7の実線Bに示す出力電圧低下時とで略一定な駆動電流 I_{SH} を整流平滑回路(6)からシャントレギュレータ(24)に供給することができる。

図2に示す実施の形態では、バイアス抵抗(23)の抵抗値を十分高くすることにより、定格出力時のシャントレギュレータ(24)での電力損失を最小限度に抑える

ことができる。また、出力電圧低下時に整流平滑回路(6)からバイアス抵抗(23)を介して流れる駆動電流 I_{SH} に駆動電流制御用コンパレータ(35)からダイオード(37)及び抵抗(38)を介して流れる別の駆動電流 I_1 を加算するので、シャントレギュレータ(24)の基準電圧 V_{REF} を一定レベルに維持するのに最低限必要な駆動電流 I_{SH} をシャントレギュレータ(24)に供給できる。よって、図2に示す実施の形態でも、駆動電流 I_{SH} によるシャントレギュレータ(24)での電力損失を最小にして、無負荷時又は軽負荷時等の負荷待機時の制御回路(9)での消費電力を低減することが可能となる。

図3に示す実施の形態では、図6に示すバイアス抵抗(23)とシャントレギュレータ(24)のカソード端子との間に駆動電流制御手段(31)が接続される。駆動電流制御手段(31)は、整流平滑回路(6)の直流出力電圧 V_O を検出する出力電圧分圧抵抗(33, 34)と、駆動電流制御用コンパレータ(35)と、電流可変手段(36)とを有する。駆動電流制御用コンパレータ(35)は、出力電圧分圧抵抗(33, 34)の分圧電圧が印加される非反転入力端子と、シャントレギュレータ(24)の基準電圧 V_{REF} が印加される反転入力端子とを備え、出力電圧分圧抵抗(33, 34)の分圧電圧がシャントレギュレータ(24)の基準電圧 V_{REF} よりも高いときに高い電圧(H)レベルの出力信号を発生し、逆に、出力電圧分圧抵抗(33, 34)の分圧電圧がシャントレギュレータ(24)の基準電圧 V_{REF} よりも低いときに低い電圧(L)レベルの出力信号を発生する。電流可変手段(36)は、バイアス抵抗(23)の両端に接続され且つ駆動電流制御用コンパレータ(35)が低い電圧(L)レベルの出力信号を発生したときにオン状態となり抵抗(40)を介してシャントレギュレータ(24)に別の駆動電流 I_1 を供給するスイッチ手段としてのPNPトランジスタ(39)と、駆動電流制御用コンパレータ(35)の出力端子とPNPトランジスタ(39)のベース端子との間に直列に接続された逆流防止手段としてのダイオード(37)及び抵抗(38)とを有する。電流可変手段(36)は、駆動電流制御用コンパレータ(35)が高い電圧(H)レベルの出力信号を発生したときに整流平滑回路(6)からの駆動電流 I_{SH} を直接的にシャントレギュレータ(24)に供給し、駆動電流制御用コンパレータ(35)が低い電圧(L)レベルの出力信号を発生したときに整流平滑回路(6)からの駆動電流 I_{SH} に別の駆動電流 I_1 を加えてシャントレギュレータ(24)に供給する。

整流平滑回路(6)の直流出力電圧 V_o が一定値 V_2 に制御される図7の実線Aに示す定格出力時は、出力電圧分圧抵抗(33, 34)の分圧点の電圧がシャントレギュレータ(24)の基準電圧 V_{REF} より高いので、駆動電流制御用コンパレータ(35)から高い電圧(H)レベルの信号が出力される。このとき、電流可変手段(36)のダイオード(37)が逆方向にバイアスされ非導通状態となり、ベース端子に高い電圧(H)レベルの信号が付与されるPNPトランジスタ(39)がオフ状態となる。このため、定格出力時は整流平滑回路(6)からの駆動電流 I_{SH} がバイアス抵抗(23)を介して直接的にシャントレギュレータ(24)に供給される。次に、図7の実線Bに示すように、整流平滑回路(6)の直流出力電圧 V_o が急激に V_1 まで低下し、出力電圧分圧抵抗(33, 34)の分圧点の電圧がシャントレギュレータ(24)の基準電圧 V_{REF} より低くなると、駆動電流制御用コンパレータ(35)から低い電圧(L)レベルの信号が出力される。このため、ダイオード(37)が順方向にバイアスされ導通状態となり、ベース端子にベース電流が流れるPNPトランジスタ(39)がオン状態となる。このため、出力電圧低下時にシャントレギュレータ(24)に供給される駆動電流は、整流平滑回路(6)からバイアス抵抗(23)を介して流れる駆動電流 I_{SH} と整流平滑回路(6)からPNPトランジスタ(39)及び抵抗(40)を介して流れる別の駆動電流 I_1 との和電流となる。従って、PNPトランジスタ(39)のオン時に、整流平滑回路(6)からバイアス抵抗(23)を介して流れる駆動電流 I_{SH} と整流平滑回路(6)からPNPトランジスタ(39)及び抵抗(40)を介して流れる別の駆動電流 I_1 との和電流の値をPNPトランジスタ(39)のオフ時に整流平滑回路(6)からバイアス抵抗(23)を介して流れる駆動電流 I_{SH} の値に一致させれば、図7の実線Aに示す定格出力時と図7の実線Bに示す出力電圧低下時とで略一定な駆動電流 I_{SH} を整流平滑回路(6)からシャントレギュレータ(24)に供給することができる。

図2に示す実施の形態と同様にバイアス抵抗(23)の抵抗値を十分高くすれば、定格出力時のシャントレギュレータ(24)での電力損失を最小限度に抑えることができる。また、出力電圧低下時にバイアス抵抗(23)を介して流れる駆動電流 I_{SH} にPNPトランジスタ(39)及び抵抗(40)を介して流れる別の駆動電流 I_1 が加算されるので、図2と同様に最低限必要な駆動電流 I_{SH} をシャントレギュレー

タ(24)に供給して、シャントレギュレータ(24)の基準電圧 V_{REF} を一定レベルに維持できるから、図3に示す実施の形態でも、駆動電流 I_{SH} によるシャントレギュレータ(24)での電力損失を最小にして、無負荷時又は軽負荷時等の負荷待機時の制御回路(9)での消費電力を低減することが可能となる。

図4に示す実施の形態の直流電源装置では、図2に示す出力電圧分圧抵抗(33, 34)の分圧点とシャントレギュレータ(24)のカソード端子との間にもう一組の駆動電流制御用コンパレータ(43)、ダイオード(44)及び抵抗(45)を直列に接続する。また、シャントレギュレータ(24)のカソード端子と駆動電流制御用コンパレータ(43)の非反転入力端子との間に接続した基準電圧分圧用抵抗(41, 42)は、シャントレギュレータ(24)の基準電圧 V_{REF} を分圧し、分圧点から駆動電流制御用コンパレータ(43)の閾値電圧を規定する基準電圧 V_{R2} を発生する。駆動電流制御用コンパレータ(43)の反転入力端子は出力電圧分圧抵抗(33, 34)の分圧点に接続され、同コンパレータ(43)の非反転入力端子(+)は基準電圧分圧用抵抗(41, 42)の分圧点に接続される。基準電圧分圧用抵抗(41, 42)の分圧点の基準電圧 V_{R2} は、シャントレギュレータ(24)の基準電圧 V_{REF} よりも低い値に設定される。

整流平滑回路(6)の直流出力電圧 V_O が一定値 V_2 に制御される図7の実線Aに示す定格出力時に、出力電圧分圧抵抗(33, 34)の分圧点の電圧がシャントレギュレータ(24)の基準電圧 V_{REF} 及び基準電圧分圧用抵抗(41, 42)の分圧点の基準電圧 V_{R2} より高いので、2つの駆動電流制御用コンパレータ(35, 43)から低電圧(L)レベルの信号が出力される。これにより、電流可変手段(36)の2つのダイオード(37, 44)が共に非導通状態となり、整流平滑回路(6)からの駆動電流 I_{SH} がバイアス抵抗(23)を介して直接的にシャントレギュレータ(24)に供給される。

図7の実線Bに示すように整流平滑回路(6)の直流出力電圧 V_O が急激に V_1 まで低下し、出力電圧分圧抵抗(33, 34)の分圧点の電圧がシャントレギュレータ(24)の基準電圧 V_{REF} と基準電圧分圧用抵抗(41, 42)の分圧点の基準電圧 V_{R2} との中間の電圧になると、一方の駆動電流制御用コンパレータ(35)から高電圧(H)レベルの信号が出力されると共に、他方の駆動電流制御用コンパレータ(43)の出力信号が低電圧(L)レベルに保持される。これにより、一方のダイオード(37)が導通状態になると共に他方のダイオード(44)は非導通状態を保持するから、整流平

滑回路(6)からバイアス抵抗(23)を介して流れる駆動電流 I_{SH} に駆動電流制御用コンパレータ(35)からダイオード(37)及び抵抗(38)を介して流れる別の駆動電流 I_1 が加えられてシャントレギュレータ(24)に供給される。更に、整流平滑回路(6)の直流出力電圧 V_O が V_1 よりも低くなり、出力電圧分圧抵抗(33, 34)の分圧点の電圧が基準電圧分圧用抵抗(41, 42)の分圧点の基準電圧 V_{R2} より低くなると、2つの駆動電流制御用コンパレータ(35, 43)から高い電圧(H)レベルの信号が出力される。これにより、2つのダイオード(37, 44)が共に導通状態となり、整流平滑回路(6)からバイアス抵抗(23)を介して流れる駆動電流 I_{SH} と一方の駆動電流制御用コンパレータ(35)からダイオード(37)及び抵抗(38)を介して流れる別の駆動電流 I_1 との和電流 $I_{SH} + I_1$ に他方の駆動電流制御用コンパレータ(43)からダイオード(44)及び抵抗(38)を介して流れる別の駆動電流 I_2 が加えられてシャントレギュレータ(24)に供給される。

図4に示す実施の形態では、出力電圧分圧抵抗(33, 34)の分圧点の電圧レベルに応じて電流可変手段(36)のダイオード(37, 44)及び抵抗(38, 45)を介してシャントレギュレータ(24)に供給する別の駆動電流の値を I_1 と $I_1 + I_2$ との2段階に制御できるので、整流平滑回路(6)の直流出力電圧 V_O の低下に応じてシャントレギュレータ(24)に供給する駆動電流を精密に調整できる。

図5に示す実施の形態では、図3に示すPNPトランジスタ(39)及び抵抗(40)の直列接続回路と並列に複数のスイッチ手段としてのPNPトランジスタ(46)及び抵抗(47)の直列接続回路を接続すると共に、出力電圧分圧抵抗(33, 34)の分圧点とPNPトランジスタ(46)のベース端子との間にもう一組の駆動電流制御用コンパレータ(43)、ダイオード(44)及び抵抗(45)を直列に接続する。また、シャントレギュレータ(24)の基準電圧 V_{REF} を分圧してその分圧点から駆動電流制御用コンパレータ(43)の閾値電圧を規定する基準電圧 V_{R2} を発生する基準電圧分圧用抵抗(41, 42)をシャントレギュレータ(24)のカソード端子と駆動電流制御用コンパレータ(43)の反転入力端子との間に接続する。図4に示す実施の形態と同様に、基準電圧分圧用抵抗(41, 42)の分圧点の基準電圧 V_{R2} はシャントレギュレータ(24)の基準電圧 V_{REF} よりも低い値に設定され、駆動電流制御用コンパレータ(43)の非反転入力端子は出力電圧分圧抵抗(33, 34)の分圧点に接続され、コンパ

レータ(43)の反転入力端子は基準電圧分圧用抵抗(41, 42)の分圧点に接続される。

整流平滑回路(6)の直流出力電圧 V_O が一定値 V_2 に制御される図7の実線Aに示す定格出力時に、出力電圧分圧抵抗(33, 34)の分圧点の電圧がシャントレギュレータ(24)の基準電圧 V_{REF} 及び基準電圧分圧用抵抗(41, 42)の分圧点の基準電圧 V_{R2} より高いので、2つの駆動電流制御用コンパレータ(35, 43)から高い電圧(H)レベルの信号が出力される。このとき、電流可変手段(36)の逆流防止手段となる2つのダイオード(37, 44)が逆方向にバイアスされ共に非導通状態となり、ベース端子に各々高い電圧(H)レベルの信号が付与され、2つのPNPトランジスタ(39, 46)が共にオフ状態となる。このため、定格出力時に整流平滑回路(6)からの駆動電流 I_{SH} がバイアス抵抗(23)を介して直接的にシャントレギュレータ(24)に供給される。次に、図7の実線Bに示すように整流平滑回路(6)の直流出力電圧 V_O が急激に V_1 まで低下し、出力電圧分圧抵抗(33, 34)の分圧点の電圧がシャントレギュレータ(24)の基準電圧 V_{REF} と基準電圧分圧用抵抗(41, 42)の分圧点の基準電圧 V_{R2} との中間の電圧になると、一方の駆動電流制御用コンパレータ(35)から低い電圧(L)レベルの信号が出力されると共に、他方の駆動電流制御用コンパレータ(43)の出力信号が高い電圧(H)レベルに保持される。これにより、一方のダイオード(37)が順方向にバイアスされ導通状態となると共に、他方のダイオード(44)は非導通状態を保持するから、ベース端子に低い電圧(L)レベルの信号が付与される一方のPNPトランジスタ(39)のみがオン状態となる。このときに整流平滑回路(6)からバイアス抵抗(23)を介して流れる駆動電流 I_{SH} と整流平滑回路(6)からPNPトランジスタ(39)及び抵抗(40)を介して流れる別の駆動電流 I_1 との和電流がシャントレギュレータ(24)に供給される駆動電流となる。更に、整流平滑回路(6)の直流出力電圧 V_O が V_1 よりも低くなり、出力電圧分圧抵抗(33, 34)の分圧点の電圧が基準電圧分圧用抵抗(41, 42)の分圧点の基準電圧 V_{R2} より低くなると、2つの駆動電流制御用コンパレータ(35, 43)から高い電圧(H)レベルの信号が出力される。これにより、2つのダイオード(37, 44)が順方向にバイアスされ共に導通状態となり、ベース端子に低電圧(L)レベルの信号が付与される2つのPNPトランジスタ(39, 46)が共にオン状態となる。このとき、整流平滑回路(6)からバイアス抵抗(23)を介して流れる駆動電流 I_{SH} と整流

平滑回路(6)から一方のPNPトランジスタ(39)及び抵抗(40)を介して流れる別の駆動電流 I_1 との和電流 $I_{SH} + I_1$ に他方のPNPトランジスタ(46)及び抵抗(47)を介して流れる別の駆動電流 I_2 を加えた $I_{SH} + I_1 + I_2$ が駆動電流としてシャントレギュレータ(24)に供給される。

図5に示す実施の形態では、出力電圧分圧抵抗(33, 34)の分圧点の電圧レベルに応じて電流可変手段(36)を構成する2つのPNPトランジスタ(39, 46)の一方又は双方をオン状態に切り替えて、整流平滑回路(6)から2組のPNPトランジスタ(39, 46)及び抵抗(40, 47)の直列接続回路を介してシャントレギュレータ(24)に供給する別の駆動電流を I_1 又は $I_1 + I_2$ の2段階値に可変できるので、整流平滑回路(6)の直流出力電圧 V_o の低下に応じてシャントレギュレータ(24)に供給する駆動電流を精密に調整できる。

本発明の実施態様は前記の各実施の形態に限定されず、更に種々の変更が可能である。例えば、上記の各実施の形態では基準電圧発生手段(24)として基準電圧 I_C であるシャントレギュレータの代わりに、一般的なツェナダイオードを使用しても同様な作用及び効果が得られる。また、図4及び図5に示す各実施の形態では駆動電流制御手段(31)内に2つの駆動電流制御用コンパレータ(35, 43)を設け、整流平滑回路(6)の直流出力電圧 V_o の低下に応じて電流可変手段(36)を介してシャントレギュレータ(24)に供給する別の駆動電流の値を2段階に可変したが、3つ以上の駆動電流制御用コンパレータを設け、整流平滑回路(6)の直流出力電圧 V_o の低下に応じて電流可変手段(36)を介してシャントレギュレータ(24)に供給する別の駆動電流の値を更に多段階に可変してもよい。また、図3及び図5に示す各実施の形態に示すスイッチ手段(39, 46)としてPNPトランジスタの代わりに、Pチャネル型MOS-FETを使用してもよい。また、PNPトランジスタの代わりにNPNトランジスタ又はNチャネル型MOS-FETを使用してもよい。この場合は、駆動電流制御用コンパレータ(35, 43)の非反転入力端子と反転入力端子とを逆に接続すると共に、ダイオード(37, 44)の極性を逆にすればよい。また、上記の各実施の形態では図7の実線Bに示す定電流垂下特性を有する制御回路に本発明を適用したが、図7の破線Cに示す所謂フの字垂下特性を有する制御回路又は図7の一点鎖線Dに示す定電力垂下特性を有する制御回路に

対しても本発明を適用できる。

産業上の利用可能性

フライバック型DC-DCコンバータ以外にも、フォワード型、ブリッジ型、プッシュプル型又は電流共振型DC-DCコンバータ等の入出力絶縁用のトランスを有する絶縁型のDC-DCコンバータ又は入出力絶縁用のトランスを使用しない昇圧又は降圧チョッパ型DC-DCコンバータ等の非絶縁型のDC-DCコンバータにも本発明による直流電源装置を適用できる。

請 求 の 範 囲

1. オン・オフ動作により直流電源からの直流入力を断続して高周波電力に変換する少なくとも1つのスイッチング素子と、該スイッチング素子をオン・オフ制御する制御回路と、前記スイッチング素子から得られる前記高周波電力を直流出力に変換して負荷に供給する整流平滑回路とを備え、

前記制御回路は、前記負荷に流れる直流出力電流が定格値となるように前記スイッチング素子のオン・オフ期間を制御する出力電流制御信号を生成する出力電流制御回路と、該出力電流制御回路の定格値を規定する基準電圧を発生する基準電圧発生手段と、前記整流平滑回路から基準電圧発生手段に供給される駆動電流を略一定にする駆動電流制御手段を備えたことを特徴とする直流電源装置。

2. 前記出力電流制御回路は、前記負荷に流れる直流出力電流を検出する出力電流検出手段と、前記整流平滑回路からの出力電流により駆動され且つ前記直流出力電流の定格値を規定する基準電圧を発生する基準電圧発生手段と、前記出力電流検出手段の検出出力の電圧レベルが前記基準電圧発生手段の基準電圧よりも低いときに第1の出力信号を発生し、前記出力電流検出手段の検出出力の電圧レベルが前記基準電圧発生手段の基準電圧よりも高いときに第2の出力信号を発生する比較手段と、該比較手段が前記第1の出力信号を発生したときは前記負荷に供給される前記直流出力電圧が一定値となるように前記スイッチング素子のオン・オフ期間を制御する駆動信号を出力し、前記比較手段が前記第2の出力信号を発生したときは前記直流出力電圧が低下するように前記スイッチング素子のオン・オフ期間を制御する駆動信号を出力して前記直流出力電流を制限する駆動信号発生手段とを備えた請求項1に記載の直流電源装置。

3. 前記駆動電流制御手段は、前記整流平滑回路の出力電圧を検出する出力電圧検出手段と、該出力電圧検出手段の検出電圧が閾値電圧よりも高いときに第1の出力信号を発生し、前記検出電圧が前記閾値電圧よりも低いときに第2の出力信号を発生する電圧比較手段と、該電圧比較手段が前記第1の出力信号を発生したときに前記整流平滑回路からの前記駆動電流を直接的に前記基準電圧発生手段に供給し、前記電圧比較手段が前記第2の出力信号を発生したときに前記駆動

電流に別の駆動電流を加えて前記基準電圧発生手段に供給する電流可変手段とを有する請求項 2 に記載の直流電源装置。

4. 前記電流可変手段は、前記電圧比較手段が前記第 2 の出力信号を発生したとき、前記電圧比較手段に直列に接続された整流素子及び抵抗を介して前記基準電圧発生手段に前記別の駆動電流を供給する請求項 3 に記載の直流電源装置。

5. 前記電流可変手段は、前記電圧比較手段が前記第 2 の出力信号を発生したときにオン状態となり且つ前記基準電圧発生手段に前記別の駆動電流を供給するスイッチ手段を有する請求項 3 に記載の直流電源装置。

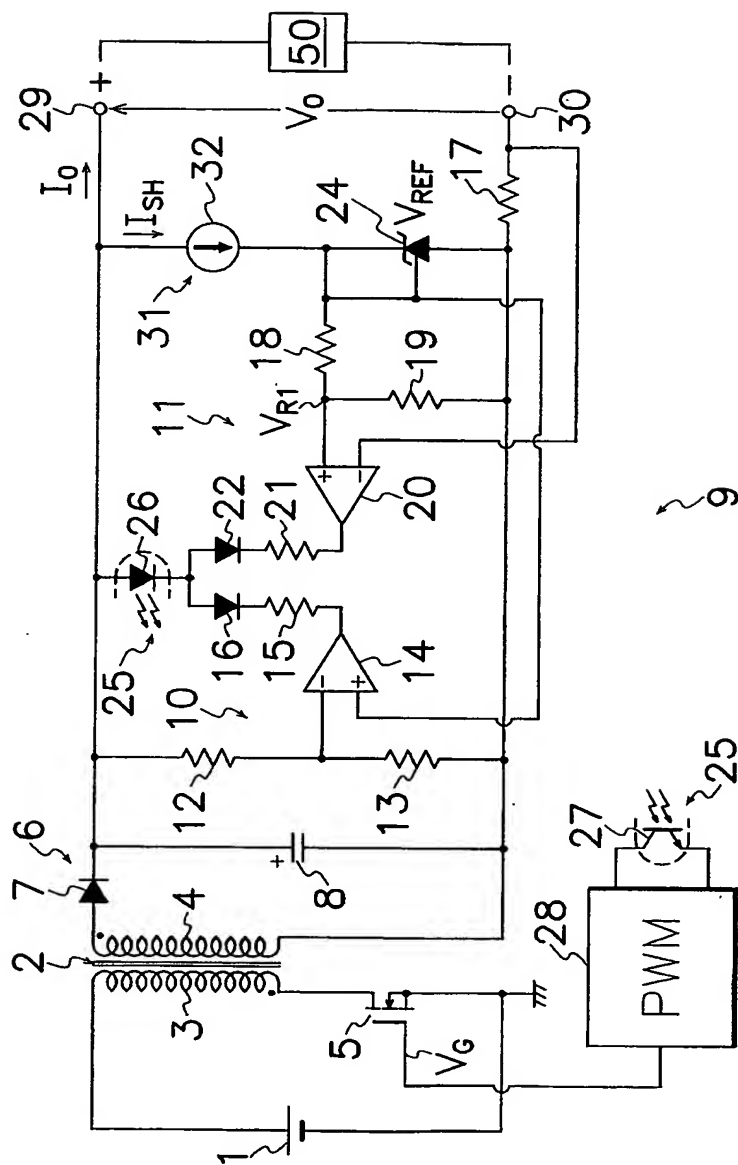
6. 前記駆動電流制御手段は、前記閾値電圧の値がそれぞれ異なる複数の前記電圧比較手段を有し、該複数の電圧比較手段が各々発生する前記第 2 の出力信号により前記電流可変手段を介して前記基準電圧発生手段に供給する前記別の駆動電流の値を可変する請求項 3 に記載の直流電源装置。

7. 前記電流可変手段は、前記複数の電圧比較手段が前記第 2 の出力信号を発生したとき、前記各電圧比較手段に直列に接続された整流素子及び抵抗を介して前記基準電圧発生手段に各々の別の駆動電流を供給する請求項 6 に記載の直流電源装置。

8. 前記電流可変手段は、前記複数の電圧比較手段が前記第 2 の出力信号を発生したときにそれぞれオン状態となり且つ前記基準電圧発生手段に前記各々の別の駆動電流を供給する複数のスイッチ手段を有する請求項 6 に記載の直流電源装置。

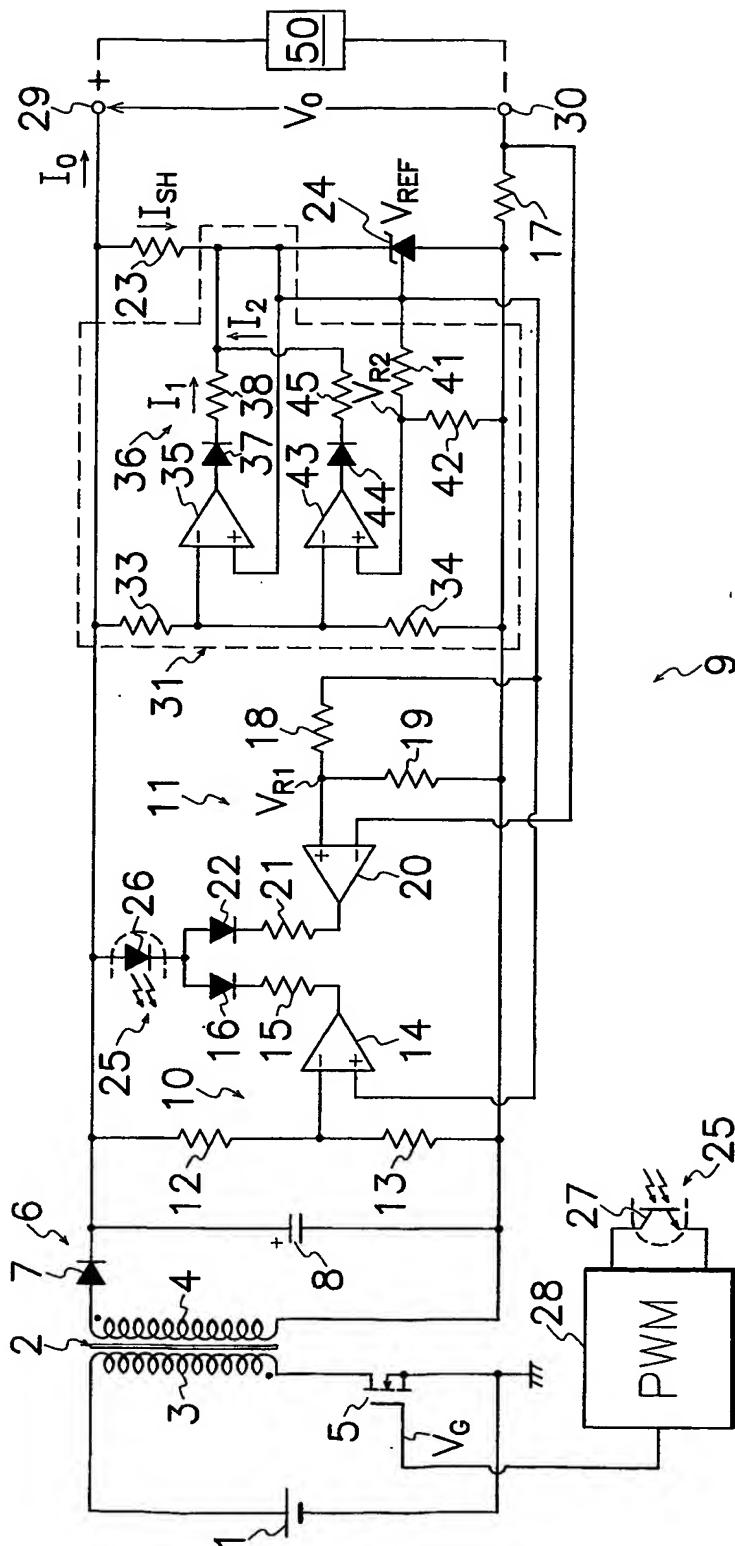
9. 前記電流可変手段は逆流防止手段を有する請求項 3、5、6 及び 8 の何れか 1 項に記載の直流電源装置。

図 1



4/7

図 4



5/7

图 5

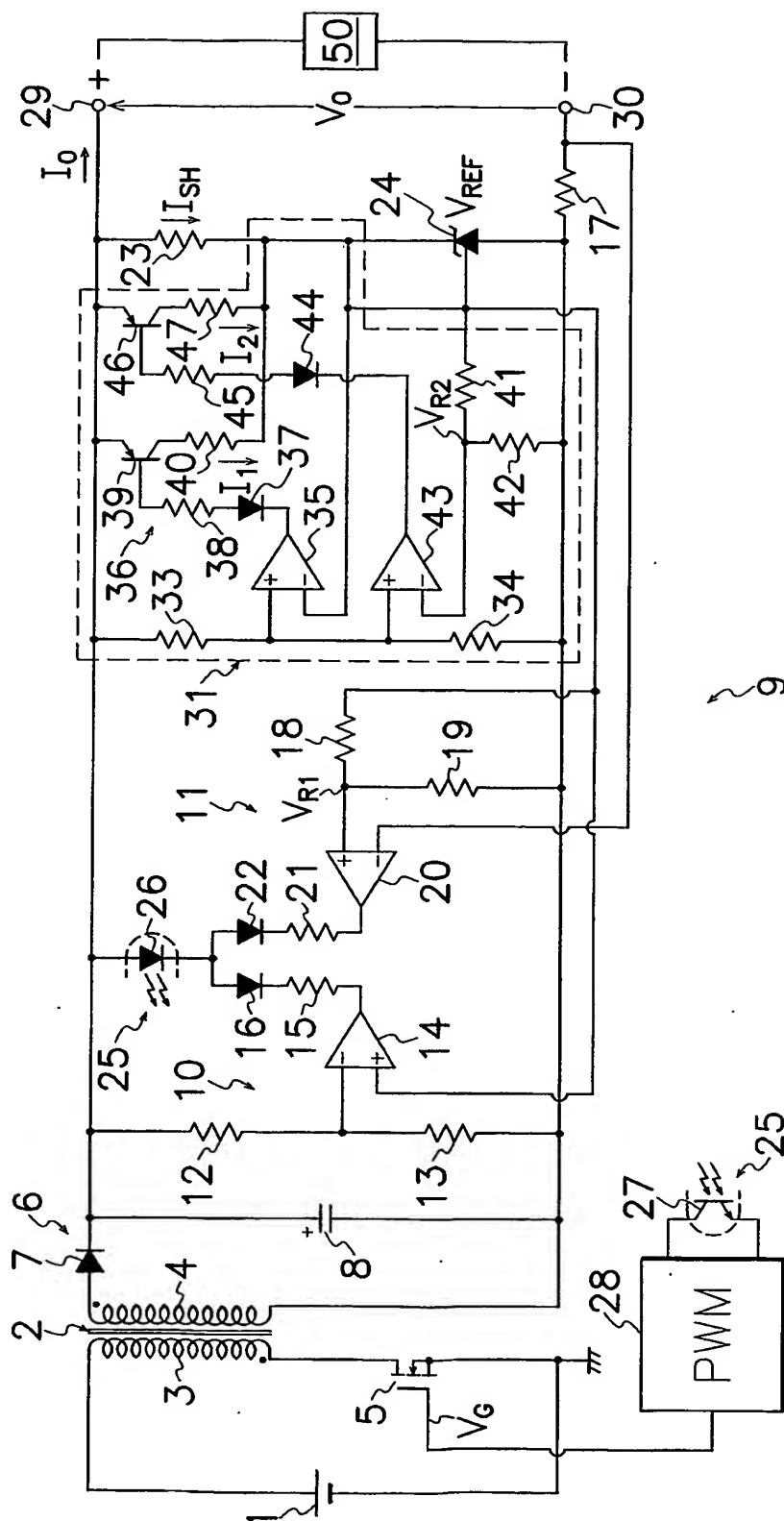
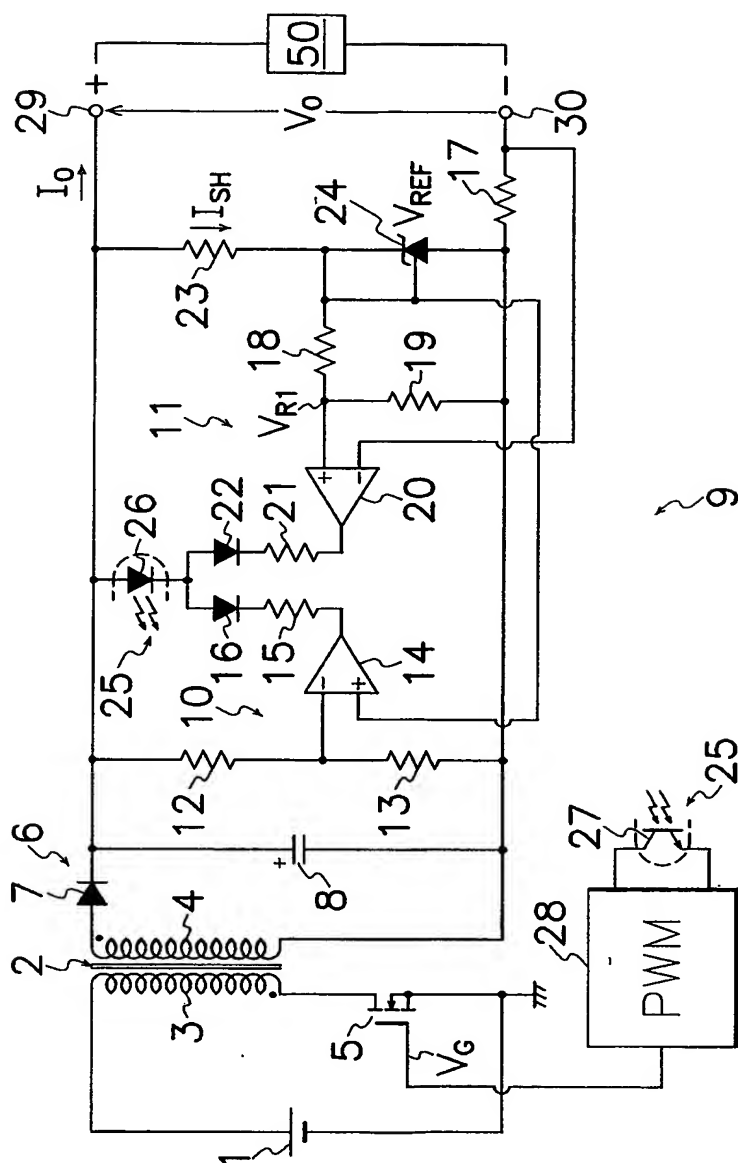
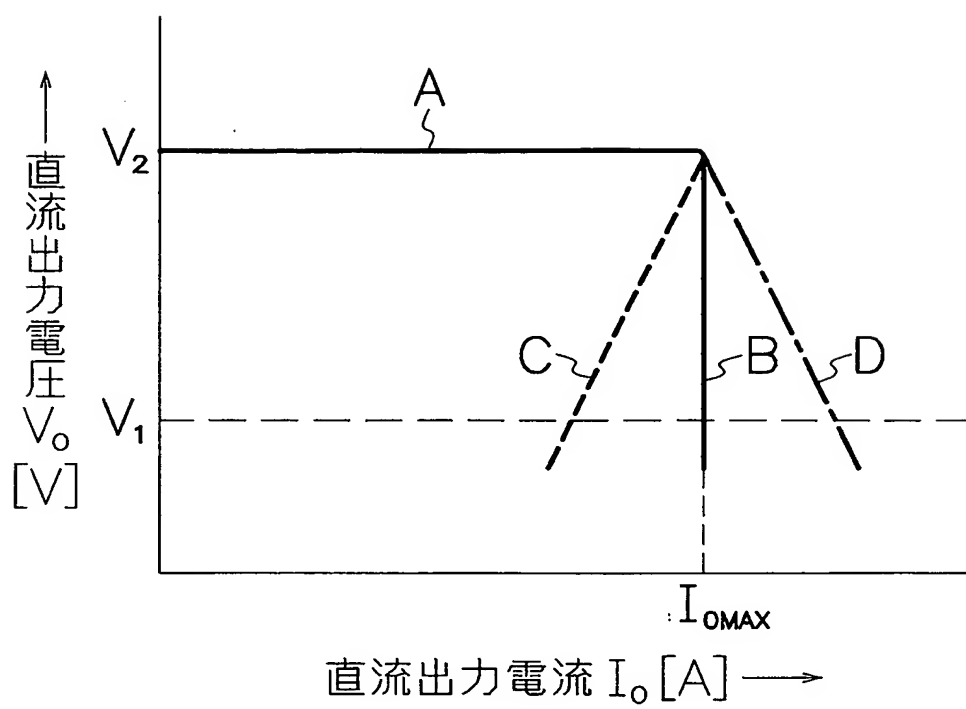


图 6



7/7

図 7



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/15241

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H02M3/28		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H02M3/00-3/44		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-225116 A (Sanken Electric Co., Ltd.), 21 August, 1998 (21.08.98), Par. Nos. [0002] to [0008]; Figs. 5 to 6 (Family: none)	1,2 3-9
Y	JP 2002-142452 A (Mitsumi Electric Co., Ltd.), 17 May, 2002 (17.05.02), Par. Nos. [0002] to [0005]; Fig. 5 (Family: none)	1,2
Y	JP 2002-6967 A (Mitsumi Electric Co., Ltd.), 11 January, 2002 (11.01.02), Par. Nos. [0014] to [0022]; Fig. 1 (Family: none)	1,2
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 23 February, 2004 (23.02.04)		Date of mailing of the international search report 09 March, 2004 (09.03.04)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15241

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-132248 A (NEC Fukushima Ltd.), 12 May, 2000 (12.05.00), Full text; Figs. 1 to 7 (Family: none)	1-9
A	JP 6-217544 A (Sony Corp.), 05 August, 1994 (05.08.94), Full text; Fig. 1 (Family: none)	1-9
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 138691/1985 (Laid-open No. 46913/1987) (TDK Corp.), 23 March, 1987 (23.03.87), Full text; Fig. 1 (Family: none)	1-9
A	JP 46-13427 B (Yokogawa Electric Corp.), 09 April, 1971 (09.04.71), Full text; Fig. 1 (Family: none)	1-9

国際調査報告

国際出願番号 PCT/JPO3/15241

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 10-225116 A (サンケン電気株式会社) 21.08.1998, 【0002】-【0008】, 図5-6 (ファミリーなし)	1, 2 3-9
Y	JP 2002-142452 A (ミツミ電機株式会社) 17.05.2002, 【0002】-【0005】, 図5 (ファミリーなし)	1, 2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

23.02.2004

国際調査報告の発送日

09.3.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-6967 A (ミツミ電機株式会社) 11. 01. 2002, 【0014】 - 【0022】, 図1 (ファミリーなし)	1, 2
A	JP 2000-132248 A (福島日本電気株式会社) 12. 05. 2000, 全文, 図1-7 (ファミリーなし)	1-9
A	JP 6-217544 A (ソニー株式会社) 05. 08. 1994, 全文, 図1 (ファミリーなし)	1-9
A	日本国実用新案登録出願60-138691号 (日本国実用新案登録出願公開62-46913号) の願書に添付した明細書及び図面の内容を記録したマイクロフィルム (ティーディーケイ株式会社) 23. 03. 1987, 全文, 図1 (ファミリーなし)	1-9
A	JP 46-13427 B (株式会社横河電機製作所) 09. 04. 1971, 全文, 図1 (ファミリーなし)	1-9